

⑬ 日本国特許庁 (JP)

⑭ 特許出願公開

⑫ 公開特許公報 (A)

昭58—216300

⑮ Int. Cl.³
G 10 L 1/00
G 11 C 27/00
H 04 B 1/66

識別記号

庁内整理番号
7350—5D
7341—5B
7015—5K

⑯ 公開 昭和58年(1983)12月15日

発明の数 1
審査請求 有

(全 9 頁)

⑭ 周波数スペクトル圧縮伸長装置

⑰ 発明者 中谷奉文

三鷹市下連雀6—17—5日本コロムビア株式会社三鷹事業所内

⑱ 特 願 昭57—100292

⑲ 出 願 昭57(1982)6月11日

⑳ 出 願 人 日本コロムビア株式会社

㉑ 発明者 鷺沢茂貴

東京都港区赤坂4丁目14番14号

三鷹市下連雀6—17—5日本コロムビア株式会社三鷹事業所内

㉒ 代理人 弁理士 中田正美

明 細 書

発明の名称 周波数スペクトル圧縮伸長装置
特許請求の範囲

複数のアナログ・シフトレジスタの書き込み及び読み出しを方形波制御信号により交互に行なわせ、各読み出し出力を加算するものにおいて、上記方形波制御信号を積分することにより上記各読み出し出力の印加及び遮断をそれぞれ漸増及び漸減的に行なわせることを特徴とする周波数スペクトル圧縮又は伸長装置。

発明の詳細な説明

本発明は、楽音信号などの時間長はそのまま周波数スペクトルを圧縮又は伸長して任意の帯域に変換する装置に関する。

例えば楽音信号の時間長は変えないで周波数スペクトルを圧縮又は伸長する装置として、アナログ・シフトレジスタのような遅延装置例えばB.B.D.と呼ばれるものを2個用い、これに対し交互に書き込み及び読み出しを行なつて信号処理をするものがある。第1図は、その概略を示すブロック図

である。図において、(1)は入力端子、(2)は低域通過フィルタ、(3)及び(4)はそれぞれN個のメモリ・セルを有するアナログ・シフトレジスタ(以下「ASR」と略称する。)、(5)は制御回路、(6)はスイッチである。低域通過フィルタ(2)は、制御回路(5)よりASR(3)及び(4)に加えられる駆動クロック・パルスの周波数以下に信号の帯域を制限して信号との干渉を防ぐためのものである。制御回路(5)は、書き込みクロック・パルス f_w と読み出しクロック・パルス f_R を所定時間T毎に切換えてASR(3)が書き込みのときはASR(4)が読み出し、(3)が読み出しのときは(4)が書き込む操作を交互に行なわせる駆動パルスを発生すると共に、スイッチ(6)を駆動するパルスを発生し、他の制御回路(9)への制御信号を出力する。スイッチ(6)は、ASR(3)の読み出し期間中(3)側に倒れ、ASR(4)の読み出し期間中(4)側に倒れる。ここで、 $f_w / f_R = k$ とすると、 $k > 1$ で周波数スペクトルは圧縮(ビッチダウン)され、 $k < 1$ で伸長(ビッチアップ)される。スイッチ(6)は、制御回路(5)からの駆動パルス

(1)

(2)

により、ASR(3)及び(4)から読み出し信号のみを出力するよう制御される。(7)は、ASR(3)及び(4)へ加えられる駆動クロック・パルスの残留分を除去するための低域通過フィルタである。

第2図は、第1図のフィルタ(7)の出力信号の時間軸上における変化を示す波形図である。第2図Aは入力原波形を示す。ここで、Tは、フレーム周期で、一般に f_w で書き込むと情報が丁度N個のメモリセルのすべてに書き込まれる、つまり $T = N / f_w$ となるように設定される。第2図Bは $k > 1$ の圧縮の場合の波形、第2図Cは $k < 1$ の伸長の場合の波形を示す。これらの波形は、接続点で不連続となっており大きなクリック雑音が発生する。この不連続波形による大きなノイズを除去するため、第1図のスイッチ(8)で不連続点近傍の両側のゼロクロス点を制御回路(9)により検出してオン・オフする。スイッチ(8)の制御パルスは、低域通過フィルタ(7)の出力信号と制御回路(5)からの制御信号から作られる。この制御パルスでスイッチ(8)を上記両側のゼロクロス点間でオン・オフ

(3)

時定数回路(3)及び(4)に対する読み出し時間Tの間高レベルとなる制御信号を出力する。時定数回路(3)及び(4)は、CRから成る低域通過フィルタないし積分回路で、d及びeの如く制御回路(5)からの制御信号(方形波)の高調波成分を除去する作用をする。この積分された制御信号は、それぞれ乗算器(1)及び(2)でASR(3)及び(4)の出力信号に乗ぜられる。この信号は、次段の加算器(4)で加えられ低域通過フィルタ(7)を経て出力端子(10)より出力される。乗算器(1)及び(2)は、第1図のスイッチ(6)と同様の役目をしている。第4図において、aは入力原波形、b及びcは圧縮の場合におけるASR(3)及び(4)の出力波形、d及びeは時定数回路(3)及び(4)の出力波形、f及びgは乗算器(1)及び(2)の出力波形、hは加算器(4)の出力波形を示す。この波形hから分かるように、上記のように処理することにより、ブランキング区間がなくなつて波形の連続性がよくなり、インパルス性ノイズが非常に低減される。しかし、この方法は、フレーム周期Tの全幅に亘つてb及びcの信号を読み出して差

(5)

することにより、信号はゼロクロス点で接続され、出力端子(10)における出力は第2図B'及びC'に示すような波形となる。

この処理により不連続によつて発生するクリック雑音は除去できるが、時間軸上でブランキング(無音区間)を生ずるためにインパルス性ノイズが発生する。これは、信号に無音区間に相当する期間だけゼロ・レベルとなるパルス(すなわち方形波)を乗じたことに相当するためである。本発明は、上記のような従来方法の欠点を改良することを目的とするものである。以下、図示の実施例により本発明の特徴を具体的に説明する。

第3図は、本発明の第1実施例を示すブロック図である。図において、第1図と対応する部分には同じ符号を付してある。第4図は、第3図のものの動作を示す波形図である。第3図において、⑧、⑩、……、⑪は、第4図の波形a、b、……、hが現われる個所を示す。本例においては、制御回路(5)は、ASR(3)及び(4)に対する書き込み及び読み出しクロック・パルス f_w 及び f_R の外に、

(4)

支えのない圧縮(ビッチダウン)の場合にしか利用できない。

第5図は、本発明の第2の実施例を示すブロック図である。本例は、圧縮だけでなく伸長(ビッチアップ)も実現しうるものであり、基本的には第3図の回路を2組並列に接続した構成になつている。各組において、それぞれ $1/2$ フレーム周期($T/2$)だけずらして書き込み及び読み出しを行ない、書き込み及び読み出し時間はTとする。図において、第1図及び第3図と対応する部分には同一又は類似の符号を付してある。入力信号は、入力端子(1)より低域通過フィルタ(2)を経て2組のASR(3)、(4)及び(3')、(4')に印加され、それぞれの出力はスイッチ(6)及び(6')で読み出し信号のみ出力される。このスイッチ出力信号に次段の乗算器(1)及び(2)で時定数回路(3)及び(4)の制御信号が掛け合わされ、次の加算器(4)で加算され低域通過フィルタ(7)を経て出力端子(10)に出力される。一方、(10)は、主発振器でそれぞれ制御回路(5)及び(5')と分周回路(11)にクロック信号を出力する。分周回路(11)は、クロック

(6)

信号を分周して周期 $T/2$ のパルスを持定数回路 03、04 と $1/4$ 分周器であるフリップ・フロップ回路 08、09 とに供給する。フリップ・フロップ回路 08 及び 09 の出力パルス（周期 T ）は、制御回路 04、05 及びスイッチ (6)、(6') に加えられ書き込みと読み出しの制御に使われる。制御回路 04 及び 05 は、主発振器 06 からのクロック信号を分周して所定の書き込み及び読み出しクロック・パルスを発生し、これらを上記の周期 T のパルスにより交互に切換え A8R (3)、(4) 及び (3')、(4') を駆動する。

第 6 図は、第 5 図のものの伸長動作説明用タイム・チャートである。図において、 t_0, t_1, \dots, t_8 は $1/4$ フレーム周期 ($T/2$) 毎の時刻、(3)、(4)、(3')、(4') は A8R (3)、(4)、(3')、(4') の書き込み及び読み出しのタイミングを示す。時刻 t_0 で A8R (3) が書き込みを開始、時刻 t_1 ですなわち $T/2$ 遅れて A8R (3') が書き込みを開始、時刻 t_2 で A8R (3) が読み出しを開始すると共に A8R (4) が書き込みを開始、時刻 t_3 で (3') が読み出しを開始すると共に (4') が書き込みを開始、時刻 t_4 で (3) が書き込みを

(7)

図の 08 及び 09 は、フリップ・フロップ回路 08 及び 09 の出力パルス波形を示す。

第 5 図の実施例においては、丁度半周期 ($T/2$) ずらして書き込み及び読み出し処理をしたので、伸長は 2 倍まで可能である。更に 3 倍に伸長するには、3 組を並列に設け $1/3$ 周期 ($T/3$) ずつずらして処理すればよい。

第 5 図の例において、圧縮の場合も上述と同様にして処理するので、説明を省略する。

これまでデューティ比 50% の制御パルスに時定数処理を施した制御信号（第 6 図の 03、04）を用いる場合について述べたが、図からも推測できるように、例えば A8R (3) 及び (4) の出力については、読み出し期間 T のうち正しい読み出し信号が得られている期間 kT のすべてを使用し、A8R (3') 及び (4') の出力についてはこれを一部使用して、(3) 及び (4) の出力のブランキング区間を補間する方法も考えられる。第 7 図は、このときの制御信号を示す。補間する出力への制御信号は、この逆相（コンプリメント）信号である。第 7 図において、

(8)

開始すると共に (4) が読み出しを開始、時刻 t_8 で (4') が読み出しを開始すると共に (3') が書き込みを開始、時刻 t_8 以降同様の動作を繰り返す。第 6 図中、W は書き込み、R は読み出しを表わす。スイッチ (6) で A8R (3) と (4) の出力を切換え、更にこのスイッチ (6) の出力に乗算器 01 で時定数回路 03 の出力信号（第 5 図 03）を掛け合わせることにより、第 6 図 (3) 及び (4) における ①、③、⑤、……の不連続信号を得る。同様にスイッチ (6') で A8R (3') と (4') の出力を切換え、更にこのスイッチ (6') の出力に乗算器 02 で時定数回路 04 の出力信号を掛け合わせることにより、第 6 図 (3') 及び (4') における ②、④、⑥、……の不連続信号を得る。これらの不連続信号は第 2 図 C に示す不連続信号のように急峻にオン・オフするのではなく、時定数回路 03 及び 04 により緩やかにオン・オフするので、クリック雑音が非常に少ない。これらの不連続信号は加算器 09 で加算されて ①、②、③、④、⑤、⑥、……の如くブランキング区間のない伸長信号が得られる。加算の過程は、第 4 図と同様である。なお、第 6

(8)

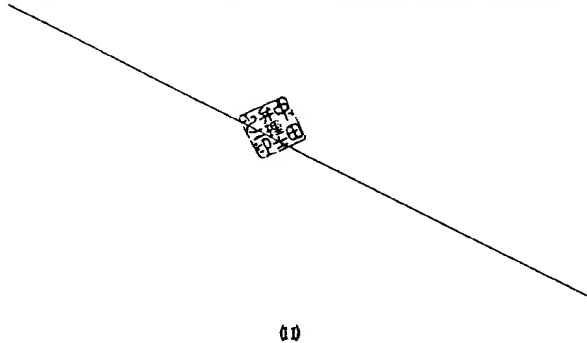
フレーム周期を T 、補間区間（制御パルスの立ち下がりから立ち上がりまでの区間）を D とするとき、試験実験の結果、音声を含む楽音信号において、 $T \geq 40 \text{ ms}$ とした場合 D と T の比率を $0.25 < D/T \leq 0.5$ 、時定数 CR と D の比率を $0.15 < CR/D < 0.65$ の範囲で選択するとよいことが分かった。ここで、 $D/T = 0.5$ がデューティ比 50% に相当する。

第 8 図は、本発明の第 3 実施例を示すブロック図である。上記第 5 図のものは、2 倍までの伸長処理に対して A8R を 4 個使用しなければならず、装置が複雑となる。そこで、楽音信号等において大きな伸長処理を必要としない 1.5 倍までの処理に 3 個の A8R で実現可能としたものが、本例である。図において、第 5 図と対応する部分には同じ符号を付してある。本例の第 5 図と異なる部分は第 5 図においてダッシュを付したブロックであり、A8R (3') 及び (4') は A8R (5)

00

に、制御回路(4)は図10に変わり、スイッチ(6)は省略され、分周回路(7)の後段に遅延回路(8)が入り、新しくナンド回路(9)、インバータ(10)が設けられる。ASR(5)は、書き込み及び読み出しの周期が半フレーム周期($T/2$)となるのでメモリ・セル数を $N/2$ とするか又はクロック・パルスの周波数を2倍にするかのいずれでもよいが、一般的には、経済的な $N/2$ のメモリ・セルを採用し、クロック・パルスの周波数はASR(3)及び(4)と同一に設定する。

第9図は、第8図のものの動作説明用波形図で



01

で読み出しを完了する。ここで、 T_0T_4 間がフレーム周期 T に相当する。また、第10図(4)に示すように、時刻 T_0 でASR(4)は書き込みを開始し時刻 T_4 で読み出しを開始する。第10図(5)はASR(5)の読み出し期間 $\frac{T}{2}$ のうち読み出し出力を得ることができる期間が $kT/2$ となることを示しており、(5)は、時刻 T_0 から Δ だけ経過した時刻 T_1 で書き込みを開始し、 $T/2$ 経た時刻 T_2 から読み出すと時刻 T_5 で読み出しを完了する。このとき、時間的な対称性を考慮して $T_2 \sim T_3 = T_4 \sim T_5$ とすると、 $\Delta = \frac{k}{4}T$ ($k \geq \frac{2}{3}$)となる。したがって、遅延回路(8)の遅延量 Δ を伸長率に応じて可変とすれば、必ずブランキング区間をカバーした信号を得ることができる。

このようにして Δ を設定した場合の全体のタイムチャートを第11図(伸長)及び第12図(圧縮)に示す。第11図において、(3)、(4)は第6図の(3)、(4)と同じであり、(5)はASR(5)の出力を示し T 周期でそれぞれ $\frac{T}{2} - \Delta$ の期間だけ②、④、⑥……と出力される。第11図の03、04は、第9

03

ある。第8図における④～⑥は、第9図a～eに示す波形が現われる個所を示す。第9図aは分周回路(7)の出力波形で、第9図bはこれより遅延回路(8)により Δ だけ遅れた信号波形を示す。したがって、制御回路(9)は第9図bのパルスに同期してASR(5)の書き込み及び読み出しを制御する。一方、第9図aの信号はフリップ・フロップ回路(3)で分周されて第9図eに示す波形となり、制御回路(9)でASR(3)及び(4)の書き込み及び読み出しを制御する。制御信号は、第9図aと第9図bのナンドを取ることにより第9図dの波形がナンド回路(9)の出力に、更にこの出力をインバータ(10)に通すことにより第9図cの波形が得られる。

次に、遅延量 Δ の設定の仕方を説明する。第10図は、第8図のものを伸長動作させる場合の一部タイムチャートである。いま、伸長率を $\frac{1}{k}$ とすると、第10図(3)に示すように、ASR(3)の読み出し出力は kT の期間に現われ、この区間のみ取り出すとブランキング区間は $(1-k)T$ となる。ここに、時刻 T_0 でASR(3)は読み出しを開始し、時刻 T_3

02

図d及びcの波形に時定数回路(13)、(14)により積分処理した制御信号で、これを乗算器(11)、(12)で信号に掛け合わせ、①、③、⑤、……の縦続信号と②、④、⑥、……の縦続信号を得る。これを加算器(15)で加算することにより、ブランキング区間のないインパルス性ノイズの低減された処理信号を得ることができる。第12図(圧縮)においても、同様にしてブランキング区間のないインパルス性ノイズの低減された処理信号が得られる。ただし、圧縮の場合は、(3)及び(4)の出力信号の読み出し期間はフレーム周期 T と一致しスイッチ(6)の出力信号にブランキング区間が発生しないので遅延量 Δ は任意に選択しうる。また、ブランキング期間が発生しないことから、ASR(5)の出力を用いずASR(3)と(4)のみで制御信号のパルス幅を T として第9図eの波形とこの反転波形を用いて圧縮処理をすることができる。

第13図は、上述のように、伸長の場合のみ第8図の構成を用い、圧縮の場合にはASR(3)及び(4)の出力を用いるようにした本発明の第4実施例

04

を示すブロック図である。本例は、第8図のものに新たにスイッチS₁, S₂, S₃及びS₄が加えられているのみである。スイッチS₁〜S₄が図の位置にあるとき、第8図と同じ構成となり伸長動作を行なう。スイッチS₁〜S₄が図と反対の位置にあるとき、圧縮動作を行なう。この場合は、スイッチS₁にはASR(3)の出力が、スイッチS₂にはフリップ・フロップ回路③の出力が、スイッチS₃にはASR(4)の出力が、スイッチS₄にはフリップ・フロップ回路③の出力の反転出力が接続される。本例によつても、楽音信号等の1.5倍までの伸長・圧縮処理に3個のASRを用いて行なうことができる。

なお、第5図でも、圧縮の場合ASR(3)及び(4)のみ使用するようにしてもよい。

以上説明したとおり、本発明によれば、楽音信号等の伸長・圧縮処理において合成出力にブラッキング区間を発生しないのでインパルス性ノイズの発生を低減することができ、しかも、合成出力の各切り換え時刻付近において漸増及び漸減的に

⑬

加算器、⑬, ⑭……積分時定数回路。

切り換わるので、従来にない高音質を得ることができる。

図面の簡単な説明

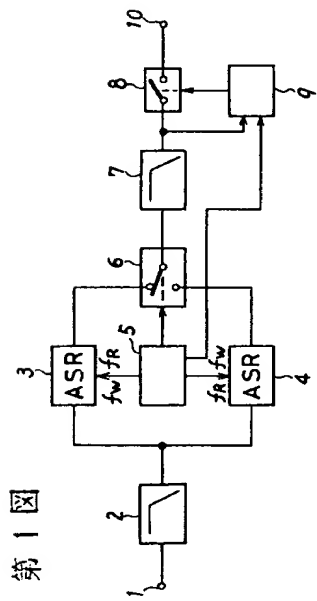
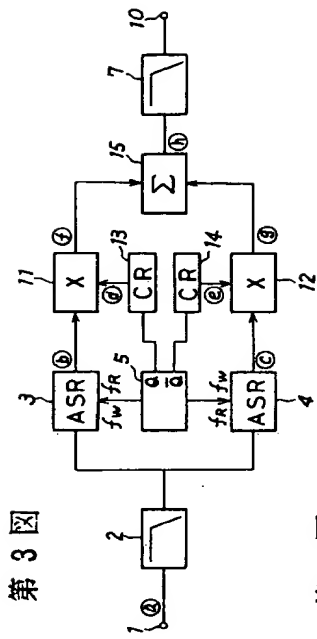
第1図は従来例を示すブロック図、第2図は第1図のものの動作を示す波形図、第3図は本発明の第1実施例を示すブロック図、第4図は第3図のものの動作を示す波形図、第5図は本発明の第2実施例を示すブロック図、第6図は第5図のものの伸長動作を示すタイム・チャート、第7図はデューティ比50%以外の制御信号を示す波形図、第8図は本発明の第3実施例を示すブロック図、第9図は第8図のものの動作を示す波形図、第10図は第8図のものの伸長動作を示す一部タイム・チャート、第11図は第8図のものの伸長動作を示す全体のタイム・チャート、第12図は第8図のものの圧縮動作を示す全体のタイム・チャート、第13図は本発明の第4実施例を示すブロック図である。

(3), (4), (3), (4), (5)……アナログ・シフトレジスタ、(5), ②, ②, ③……制御回路、⑤……

⑭

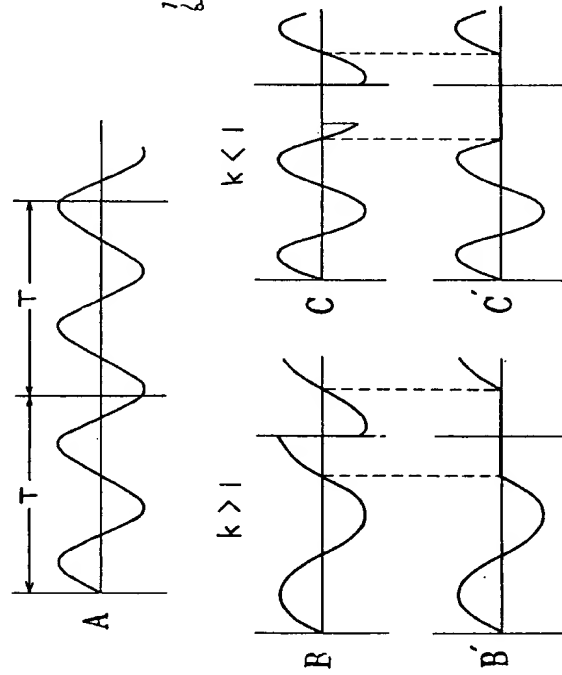
代理人 中 田 正



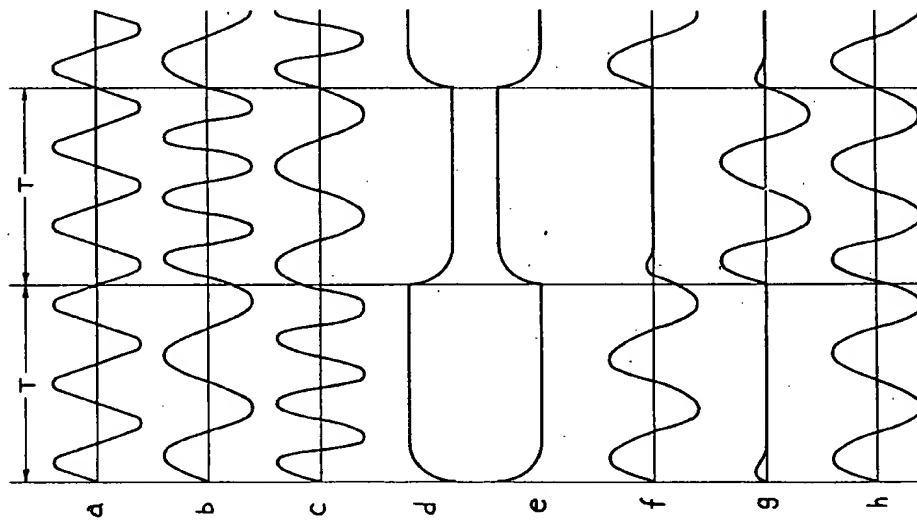


第 3 図

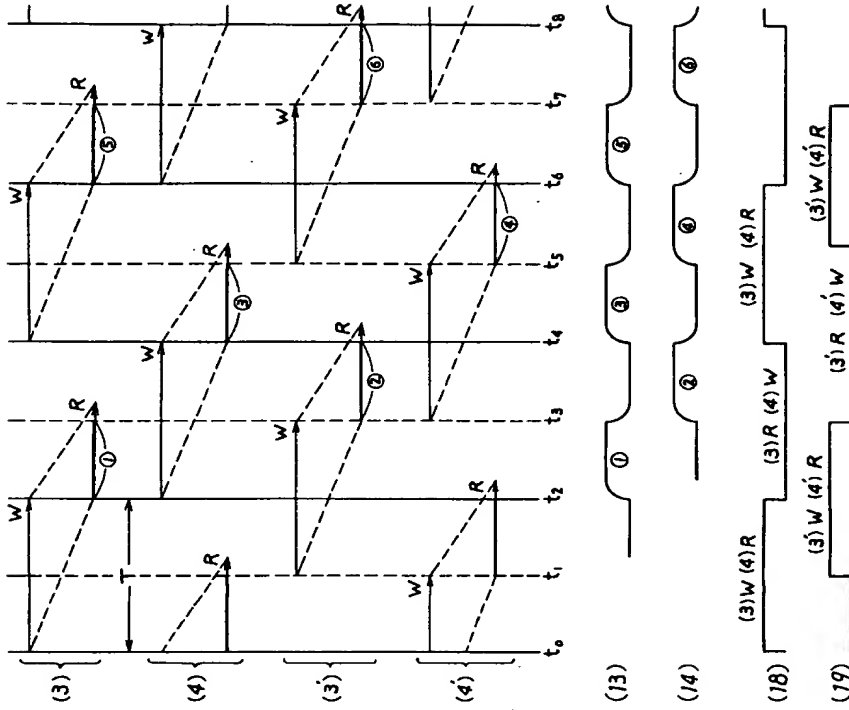
第 2 図



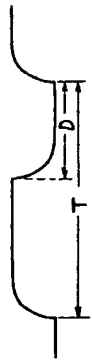
第4図



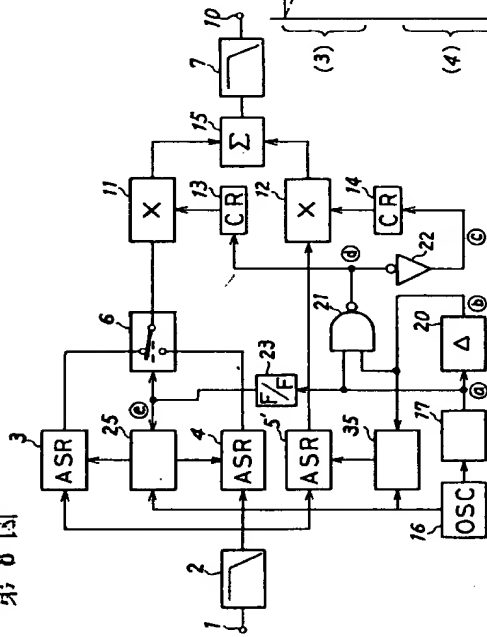
第6図



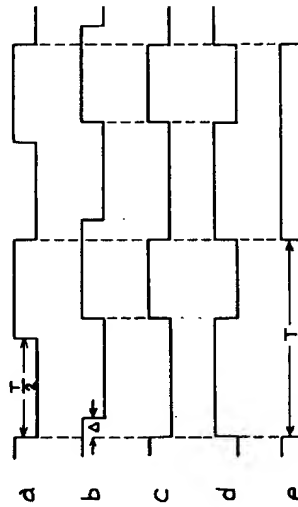
第7図



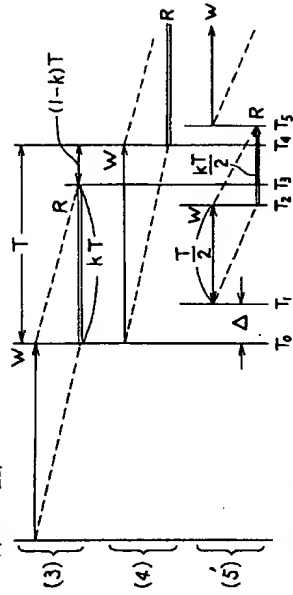
第8図



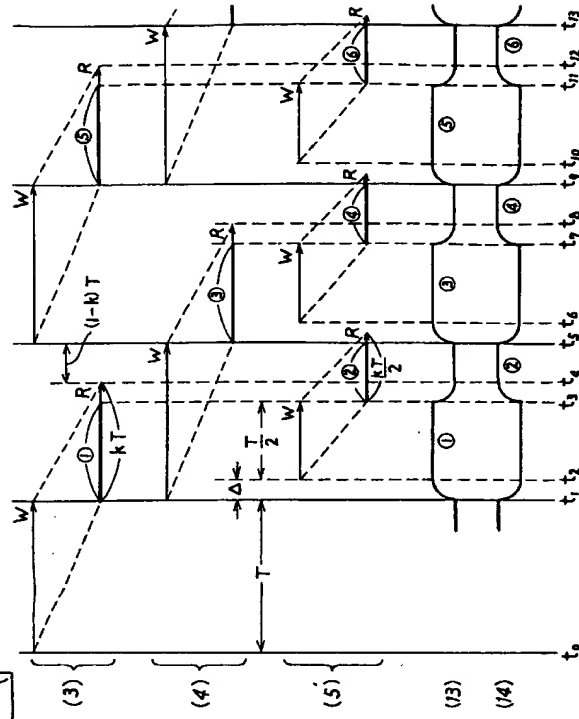
第9図



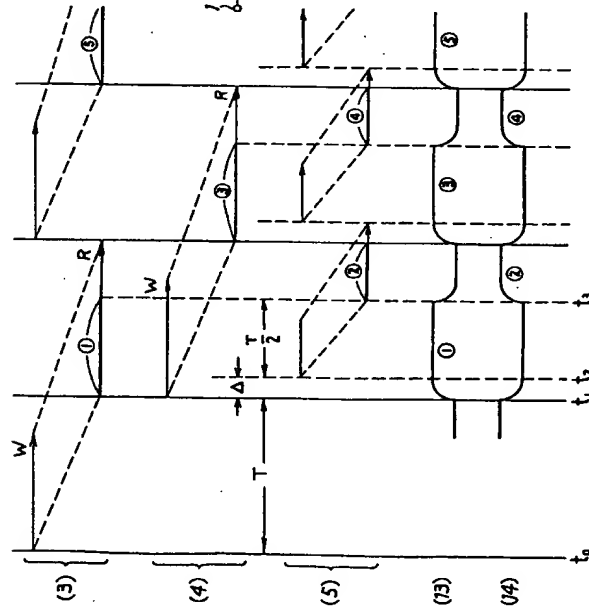
第10図



第11図



第12図



第13図

